

Docket No.: 60188-468



PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
Nobuyoshi ASAKA, et al.	:	Confirmation Number: 1819
Application No.: 10/051,060	:	Group Art Unit: 2836
Filed: January 22, 2002	:	Examiner: Stephen W. Jackson
For: READER/WRITER AND ANALOG SWITCHING CIRCUIT	:	

**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

At the time the above application was filed, priority was claimed based on the following application:

**Japanese Patent Application JP 2001-012918, filed on January 22, 2001.**

A copy of each priority application listed above is enclosed.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
Phone: 202.756.8000 MEF:blg  
Facsimile: 202.756.8087  
**Date: January 5, 2005**

**Please recognize our Customer No. 20277  
as our correspondence address.**

10/051,060  
January 22, 2002

日 本 国 特 許 庁

JAPAN PATENT OFFICE

*McDermott Will & Emery LLP*

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出 願 年 月 日

Date of Application:

2001年 1月22日

出 願 番 号

Application Number:

特願2001-012918

ST.10/C ]:

[JP2001-012918]

出 願 人

Applicant(s):

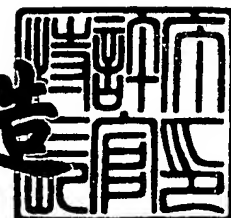
松下電器産業株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2002年 1月11日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3113293

【書類名】 特許願

【整理番号】 2925020049

【提出日】 平成13年 1月22日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 17/678

【発明者】

    【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内

    【氏名】 浅加 信吉

【発明者】

    【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内

    【氏名】 飯山 恵市

【特許出願人】

    【識別番号】 000005843

    【氏名又は名称】 松下電子工業株式会社

【代理人】

    【識別番号】 100077931

    【弁理士】

    【氏名又は名称】 前田 弘

【選任した代理人】

    【識別番号】 100094134

    【弁理士】

    【氏名又は名称】 小山 廣毅

【選任した代理人】

    【識別番号】 100110939

    【弁理士】

    【氏名又は名称】 竹内 宏

【選任した代理人】

    【識別番号】 100110940

    【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006009

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 リーダライタおよびアナログスイッチ回路

【特許請求の範囲】

【請求項 1】 電磁誘導結合によって非接触で外部と信号の送受信を行うリーダライタであって、

外部へ送信すべきアナログ信号を増幅する高耐圧アンプと、

前記高耐圧アンプによって増幅されたアナログ信号を外部へ送信する複数の共振回路と、

前記高耐圧アンプと前記複数の共振回路との間に前記複数の共振回路に対応して設けられ、各々が対応する共振回路と前記高耐圧アンプとの間を電氣的に接続／非接続にする複数の高耐圧アナログスイッチ回路とを備えることを特徴とするリーダライタ。

【請求項 2】 請求項 1 に記載のリーダライタにおいて、

前記複数の高耐圧アナログスイッチ回路の各々は、

前記対応する共振回路と前記高耐圧アンプとの間に接続された P チャネル型の高耐圧 F E T と、

所定レベルの正の電圧を受ける電源ノードと前記高耐圧 F E T のゲートとの間に接続された第 1 の抵抗と、

前記高耐圧 F E T のゲートと接地電圧を受ける接地ノードとの間に接続され、前記第 1 の抵抗の抵抗値よりも小さい抵抗値を有する第 2 の抵抗と、

前記第 2 の抵抗と前記接地ノードとの間に、前記第 2 の抵抗から前記接地ノードへ向けて順方向となるように接続されたダイオードと、

前記高耐圧 F E T のゲートと前記接地ノードとの間に前記第 2 の抵抗および前記ダイオードに直列に接続され、前記高耐圧 F E T のゲートと前記接地ノードとの間を電氣的に接続／非接続にするスイッチとを含むことを特徴とするリーダライタ。

【請求項 3】 請求項 2 に記載のリーダライタにおいて、

前記高耐圧 F E T は、接合型 F E T であり、

前記正の電圧は、前記高耐圧 F E T の入力信号の正の最大値よりも大きい

ことを特徴とするリーダライタ。

【請求項 4】 Pチャネル型の高耐圧 F E T と、

所定レベルの正の電圧を受ける電源ノードと前記高耐圧 F E T のゲートとの間に接続された第 1 の抵抗と、

前記高耐圧 F E T のゲートと接地電圧を受ける接地ノードとの間に接続され、前記第 1 の抵抗の抵抗値よりも小さい抵抗値を有する第 2 の抵抗と、

前記第 2 の抵抗と前記接地ノードとの間に前記第 2 の抵抗から前記接地ノードへの向きが順方向となるように接続されたダイオードと、

前記高耐圧 F E T のゲートと前記接地ノードとの間に前記第 2 の抵抗および前記ダイオードに直列に接続され、前記高耐圧 F E T のゲートと前記接地ノードとの間を電氣的に接続／非接続にするスイッチとを備え、

前記高耐圧 F E T のソース・ドレインを入出力とすることを特徴とするアナログスイッチ回路。

【請求項 5】 請求項 4 に記載のアナログスイッチ回路において、

前記高耐圧 F E T は、接合型 F E T であり、

前記正の電圧は、前記高耐圧 F E T の入力信号の正の最大値よりも大きいことを特徴とするアナログスイッチ回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、リーダライタおよびアナログスイッチ回路に関する。さらに詳しくは、電磁誘導結合によって非接触で外部とデータの送受信を行うリーダライタおよびアナログ信号を導通／非導通とするアナログスイッチ回路に関する。

【 0 0 0 2 】

【従来の技術】

近年、メモリや制御回路などが集積された I C チップを内蔵し、電源の授受やデータの送受信を電磁誘導結合などを利用して非接触で行うデータキャリアが開発されている。このようなデータキャリアの 1 つとして非接触 I C タグがある。非接触 I C タグには、大きな記憶容量および高度なセキュリティ機能を有すると

いう特徴がある。また、タグ自身をリーダライタのアンテナ部に近づけたりスロットに挿入したりするだけで通信ができるため接点などの機構部が不要でありメンテナンスフリーになるという特徴もある。したがって、商品管理や工程管理に、あるいは機器内で使用するリムーバブルな部品に取り付けることによって部品の管理や特性向上などに役立たせることができる。例えば、非接触 IC タグを各種商品に取り付け、ID 番号や商品の特徴などを非接触 IC タグに内蔵されたメモリに記録し、電磁誘導方式により非接触でリーダライタと通信を行う非接触 IC タグシステムがある。

#### 【0003】

非接触 IC タグシステムにおいて複数の非接触 IC タグと通信を行う方法として以下に示す (a) ~ (d) がある。

(a) 複数の非接触 IC タグの各々を順次リーダライタのアンテナ回路部のところに移動させる。

(b) リーダライタのアンテナ回路部を各 IC タグのところに順次移動させる。

(c) リーダライタを複数個準備し、それぞれ対応する非接触 IC タグとの間で通信を行う。

(d) リーダライタの送信回路と複数のアンテナ回路との間にスイッチを設け、通信ごとにアンテナ回路を切り替える。

#### 【0004】

上述の (d) の方法を用いる非接触 IC タグシステムでは、図 9 に示すように、リーダライタ 100 の送信回路 101 に対して複数（ここでは 3 つ）のアンテナ回路 108-110 が配置されている。送信回路 101 とアンテナ回路 108-110 との間には、小信号用スイッチ 102-104 および高耐圧アンプ 105-107 が設けられている。ここで、小信号用スイッチ 102-104 は、信号レベルが比較的にかさいアナログ信号（たとえば、2.5V を中心として振幅が ±1V のアナログ信号）を導通／非導通にするスイッチである。送信回路 101 からのアナログ信号は小信号用スイッチ 102-104 のいずれか（例えば、小信号用スイッチ 102）によって対応する高耐圧アンプ 105-107（例えば、高耐圧アンプ 105）に伝送され、さらに高耐圧アンプに 105-107 よ

って増幅されて対応するアンテナ回路 1 0 8 - 1 1 0 (例えば、アンテナ回路 1 0 8) に供給される。

【0 0 0 5】

【発明が解決しようとする課題】

図 9 に示した非接触 I C タグシステムにおけるリーダライタ 1 0 0 では、アンテナ回路 1 0 8 - 1 1 0 の前段にそれぞれ高耐圧アンプ 1 0 5 - 1 0 7 を設けている。したがって部品点数が多くなる。

【0 0 0 6】

この発明の目的は、部品点数を少なくすることができるリーダライタを提供することである。

【0 0 0 7】

【課題を解決するための手段】

この発明の 1 つの局面に従うと、リーダライタは、電磁誘導結合によって非接触で外部と信号の送受信を行うものであって、高耐圧アンプと、複数の共振回路と、複数の高耐圧アナログスイッチ回路とを備える。高耐圧アンプは、外部へ送信すべきアナログ信号を増幅する。複数の共振回路は、高耐圧アンプによって増幅されたアナログ信号を外部へ送信する。複数の高耐圧アナログスイッチ回路は、高耐圧アンプと複数の共振回路との間に複数の共振回路に対応して設けられ、各々が対応する共振回路と高耐圧アンプとの間を電氣的に接続／非接続にする。

【0 0 0 8】

上記リーダライタでは、複数の高耐圧アナログスイッチ回路を設けたため、従来のリーダライタと異なり、共振回路の前段に高耐圧アンプを設ける必要がない。したがって、高耐圧アンプは複数の高耐圧アナログスイッチ回路の前段に 1 つ設けるだけでよい。これにより、共振回路ごとに高耐圧アンプを設けている従来のリーダライタに比べて高耐圧アンプの数（部品点数）を少なくすることができる。この結果、コストを低くすることができる。

【0 0 0 9】

好ましくは、上記複数の高耐圧アナログスイッチ回路の各々は、高耐圧 F E T と、第 1 の抵抗と、第 2 の抵抗と、ダイオードと、スイッチとを含む。高耐圧 F



ETは、Pチャネル型のFETであり、対応する共振回路と高耐圧アンプとの間に接続される。第1の抵抗は、所定レベルの正の電圧を受ける電源ノードと高耐圧FETのゲートとの間に接続される。第2の抵抗は、高耐圧FETのゲートと接地電圧を受ける接地ノードとの間に接続され、第1の抵抗の抵抗値よりも小さい抵抗値を有する。ダイオードは、第2の抵抗と接地ノードとの間に、第2の抵抗から接地ノードへ向けて順方向となるように接続される。スイッチは、高耐圧FETのゲートと接地ノードとの間に第2の抵抗およびダイオードに直列に接続され、高耐圧FETのゲートと接地ノードとの間を電氣的に接続／非接続にする。

## 【 0 0 1 0 】

好ましくは、上記高耐圧FETは、接合型FETである。また、上記正の電圧は、高耐圧FETの入力信号の正の最大値よりも大きい。

## 【 0 0 1 1 】

この発明のもう1つの局面に従うと、アナログスイッチ回路は、高耐圧FETと、第1の抵抗と、第2の抵抗と、ダイオードと、スイッチとを備える。高耐圧FETは、Pチャネル型のFETである。第1の抵抗は、所定レベルの正の電圧を受ける電源ノードと高耐圧FETのゲートとの間に接続される。第2の抵抗は、高耐圧FETのゲートと接地電圧を受ける接地ノードとの間に接続され、第1の抵抗の抵抗値よりも小さい抵抗値を有する。ダイオードは、第2の抵抗と接地ノードとの間に、第2の抵抗から接地ノードへ向けて順方向となるように接続される。スイッチは、高耐圧FETのゲートと接地ノードとの間に第2の抵抗およびダイオードに直列に接続され、高耐圧FETのゲートと接地ノードとの間を電氣的に接続／非接続にする。そして上記アナログスイッチ回路では、上記高耐圧FETのソース・ドレインを入出力とする。

## 【 0 0 1 2 】

好ましくは、上記高耐圧FETは接合型FETである。また、上記正の電圧は高耐圧FETの入力信号の正の最大値よりも大きい。

## 【 0 0 1 3 】

上記アナログスイッチ回路では、スイッチによって高耐圧FETのゲートと接

地ノードとの間が電氣的に接続されると、高耐圧 F E T のゲートがほぼ接地電圧レベルに引っぱられる。これは、第 1 の抵抗の抵抗値が第 2 の抵抗の抵抗値よりも大きいためである。さらに、高耐圧 F E T の浮遊容量によってソースの電圧（入力信号の電圧）がほぼそのままゲートに伝達される。ソースの電圧（入力信号の電圧）が正のときダイオードはオンになる。しかし第 2 の抵抗によってゲートの電圧はソースの電圧（入力信号の電圧）とほぼ同じレベルに保持される。ソースの電圧（入力信号の電圧）が負のときはダイオードがオフになる。したがって、ゲートの電圧はこの負の電圧のレベルとほぼ同じレベルに保持される。このように、ソースの電圧（入力信号の電圧）の正負にかかわらず高耐圧 F E T のゲートの電圧はソースの電圧（入力信号の電圧）とほぼ同じレベルに保持される。この結果、ゲート・ソース間の電位差がほぼ 0 となり高耐圧 F E T はオンになる。すなわち、ソース・ドレイン間が導通し、ソースに入力されたアナログ信号はドレインから出力される。

## 【 0 0 1 4 】

一方、スイッチによって高耐圧 F E T のゲートと接地ノードとが電氣的に非接続にされると、第 1 の抵抗に電流が流れなくなり、高耐圧 F E T のゲートが所定レベルの正の電圧のレベルにプルアップされる。これにより、高耐圧 F E T のゲートの電圧は、ソースの電圧に対して常に所定レベルの正の電圧分だけ高くなる。この正の電圧は高耐圧 F E T の入力信号の正の最大値よりも大きい。したがって、高耐圧 F E T はオフになる。この結果、ソース・ドレイン間が非導通となり、ソースに入力されたアナログ信号はドレインから出力されない。

## 【 0 0 1 5 】

以上のように、上記アナログスイッチ回路では、ソースの電圧（入力信号の電圧）の正負にかかわらず高耐圧 F E T のゲートの電圧がソースの電圧（入力信号の電圧）とほぼ同じレベルに保持される。したがって、アナログスイッチ回路を動作させるための負電圧を発生させる必要がない。これにより、負電圧を必要とする従来のアナログスイッチ回路の場合と比べて、アナログスイッチ回路を動作させるための電源電圧を発生する回路の部品点数を少なくすることができる。

## 【 0 0 1 6 】

## 【発明の実施の形態】

以下、この発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一または相当部分には同一符号を付し、その説明は繰り返さない。

## 【0017】

## (第1の実施形態)

## ＜非接触ICタグシステムの構成＞

図1は、この発明の第1の実施形態による非接触ICタグシステムの構成を示すブロック図である。図1を参照して、この非接触ICタグシステムは、リーダライタ10と、非接触ICタグT1-T3とを備える。

## 【0018】

リーダライタ10は、送信回路11と、高耐圧アンプ12と、高耐圧アナログスイッチ回路13-15と、アンテナ回路16-18と、切り替え信号発生回路19と、電源電圧発生回路20とを含む。電源電圧発生回路20は、正の電源電圧(+V)および負の電源電圧(-V)を発生する。送信回路11は、外部へ送信すべきアナログ信号を出力する。高耐圧アンプ12は、送信回路12からのアナログ信号を増幅してノードS1-S3に出力する。高耐圧アナログスイッチ回路13-15は、ノードS1-S3とノードD1-D3との間に接続され、電源電圧発生回路20からの正の電源電圧(+V)および負の電源電圧(-V)を受ける。また高耐圧アナログスイッチ回路13-15は、活性の切り替え信号SW1-SW3に応答してノードS1-S3とノードD1-D3を電氣的に接続し、不活性の切り替え信号SW1-SW3に応答してノードS1-S3とノードD1-D3とを電氣的に非接続にする。アンテナ回路16-18は、コイルLとコンデンサCとを含む。コイルLおよびコンデンサCは、ノードD1-D3と接地電圧を受ける接地ノードGNDとの間に並列に接続される。すなわち、コイルLおよびコンデンサCによって共振回路が構成される。コイルLおよびコンデンサCによって構成される共振回路は、ノードD1-D3からの信号に応じた電波を外部へ送信する。切り替え信号発生回路19は、活性または不活性の切り替え信号SW1-SW3を発生する。

## 【0019】

非接触 I C タグ T 1 - T 3 は、電波などの媒体を用いて非接触でリーダライタ 1 0 と情報の授受を行う。非接触 I C タグ T 1 - T 3 には、メモリや制御回路などの必要な回路を集積した I C チップ（図示せず）が内蔵されている。非接触 I C タグ T 1 - T 3 は各種商品に取り付けられ、内蔵するメモリには I D 番号や商品の特徴などが記録される。非接触 I C タグ T 1 - T 3 に内蔵された I C チップの動作に必要な電力は、リーダライタ 1 0 から送出された電波を非接触 I C タグ T 1 - T 3 内部のコイル（図示せず）の電磁誘導作用によって受信して得られた誘導電流を整流して得られる。

## 【 0 0 2 0 】

## ＜高耐圧アナログスイッチ回路の例 1＞

図 2 は、図 1 に示した高耐圧アナログスイッチ回路 1 3 - 1 5 の具体的な構成の一例を示す図である。図 2 を参照して、このアナログスイッチ回路は、高耐圧接合型 F E T （ F i e l d E f f e c t T r a n s i s t o r ） 2 1 と、 P N P トランジスタ 2 2 と、抵抗 2 3, 2 4 と、ダイオード 2 5 とを備える。高耐圧接合型 F E T 2 1 は P チャネル型の F E T であり、ノード S i とノード D i との間に接続される。 P N P トランジスタ 2 2 は、電源ノード N 2 0 と抵抗 2 3 との間に接続される。電源ノード N 2 0 は、正の電源電圧（+ V）を受ける。正の電源電圧（+ V）は、ノード S i に入力されるアナログ信号の正の最大値よりも大きい。 P N P トランジスタ 2 2 のベースには切り替え信号 S W i が供給される。抵抗 2 3 は、 P N P トランジスタ 2 2 のコレクタとノード N 2 1 との間に接続される。抵抗 2 4 は、ノード N 2 1 とノード N 2 2 との間に接続される。ノード N 2 2 は、負の電源電圧（- V）を受ける。負の電源電圧（- V）は、ノード S i に入力されるアナログ信号の負の最小値よりも小さい。ダイオード 2 5 は、ノード N 2 1 と高耐圧接合型 F E T 2 1 のゲートとの間に、ノード N 2 1 から高耐圧接合型 F E T 2 1 のゲートに向けて順方向となるように接続される。

## 【 0 0 2 1 】

次に、以上のように構成された高耐圧アナログスイッチ回路の動作について説明する。

## 【 0 0 2 2 】

活性の切り替え信号  $SW_i$  が PNP トランジスタ 22 のベースに供給されると PNP トランジスタ 22 がオン（飽和状態）になる。これに応じてダイオード 25 がオンになる。これは、ノード  $S_i$  に入力されるアナログ信号の正の最大値よりも正の電源電圧（ $+V$ ）のほうが大きいためである。これにより高耐圧接合型 FET 21 のゲートの電圧が（ $+V$ ）に引っ張られ、高耐圧接合型 FET 21 はオフになる。この結果、ノード  $S_i$  に入力されたアナログ信号はノード  $D_i$  に出力されない。

## 【0023】

一方、不活性の切り替え信号  $SW_i$  が PNP トランジスタ 22 のベースに供給されると PNP トランジスタ 22 がオフ（遮断状態）になる。これに応じてダイオード 25 がオフになる。これは、ノード  $S_i$  に入力されるアナログ信号の負の最小値よりも負の電源電圧（ $-V$ ）のほうが小さいためである。これにより高耐圧接合型 FET 21 のゲートがオープンになり、高耐圧接合型 FET 21 はオンになる。この結果、ノード  $S_i$  に入力されたアナログ信号はノード  $D_i$  に出力される。なお、仮にノード  $S_i$  に入力されるアナログ信号の負の最小値よりも負の電源電圧（ $-V$ ）のほうが大きいとすると、この間ダイオード 25 がオンになり高耐圧接合型 FET 21 のゲートの電圧が（ $-V$ ）となる。したがって、図 3 に示すように、ノード  $S_i$  に入力される信号のうち電圧レベルが  $-(V+V_p)$  より小さい信号に対して高耐圧接合型 FET 21 がオフになり、この信号を伝達することができない。ゆえに、ノード  $S_i$  に入力されるアナログ信号の負の最小値よりも負の電源電圧（ $-V$ ）のほうが小さいことが必要である。要するに、高耐圧接合型 FET 21 のソース・ドレイン間にアナログ信号（交流信号）を導通させるためには、その信号の正の最大値よりも大きい正の電源電圧（ $+V$ ）および負の最小値よりも小さい負の電源電圧（ $-V$ ）が必要となる。

## 【0024】

## ＜高耐圧アナログスイッチ回路の例 2＞

図 4 は、図 1 に示した高耐圧アナログスイッチ回路 13-15 の具体的な構成の他の一例を示す図である。図 4 を参照して、このアナログスイッチ回路は、高耐圧接合型 FET 41 と、PNP トランジスタ 22 と、抵抗 23, 24 と、ダイ

オード45とを備える。高耐圧接合型FET41はNチャネル型のFETであり、ノードSiとノードDiとの間に接続される。ダイオード45は、高耐圧接合型FET41のゲートとノードN21との間に、高耐圧接合型FET41のゲートからノードN21に向けて順方向となるように接続される。

## 【0025】

次に、以上のように構成された高耐圧アナログスイッチ回路の動作について説明する。

## 【0026】

活性の切り替え信号SWiがPNPトランジスタ22のベースに供給されるとPNPトランジスタ22がオン（飽和状態）になる。これに応じてダイオード45がオフになる。これは、ノードSiに入力されるアナログ信号の正の最大値よりも正の電源電圧（+V）のほうが大きいためである。これにより高耐圧接合型FET41のゲートがオープンになり、高耐圧接合型FET41はオンになる。この結果、ノードSiに入力されたアナログ信号はノードDiに出力される。

## 【0027】

一方、不活性の切り替え信号SWiがPNPトランジスタ22のベースに供給されるとPNPトランジスタ22がオフ（遮断状態）になる。これに応じてダイオード45がオンになる。これは、ノードSiに入力されるアナログ信号の負の最小値よりも負の電源電圧（-V）のほうが小さいためである。これにより高耐圧接合型FET41のゲートの電圧が（-V）に引っ張られ、高耐圧接合型FET41はオフになる。この結果、ノードSiに入力されたアナログ信号はノードDiに出力されない。なお、仮にノードSiに入力されるアナログ信号の負の最小値よりも負の電源電圧（-V）のほうが大きいとすると、この間ダイオード25がオフになり高耐圧接合型FET41のゲートがオープンになる。したがって、図5に示すように、ノードSiに入力される信号のうち電圧レベルが（-V）より小さい信号に対して高耐圧接合型FET21がオンになり、この信号がノードDiに出力される。ゆえに、ノードSiに入力されるアナログ信号の負の最小値よりも負の電源電圧（-V）のほうが小さいことが必要である。要するに、高耐圧接合型FET41のソース・ドレイン間にアナログ信号（交流信号）を導通

させるためには、その信号の正の最大値よりも大きい正の電源電圧（+V）および負の最小値よりも小さい負の電源電圧（-V）が必要となる。

【0028】

＜非接触ICタグシステムの動作＞

次に、図1に示した非接触ICタグシステムの動作について説明する。

【0029】

切り替え信号発生回路19から活性の切り替え信号SW1および不活性の切り替え信号SW2、SW3が出力される。活性の切り替え信号SW1を受けて高耐圧アナログスイッチ回路13は、ノードS1とノードD1とを電氣的に接続（導通）状態にする。一方、不活性の切り替え信号SW2、SW3を受けて高耐圧アナログスイッチ回路14、15は、ノードS2、S3とノードD2、D3とを電氣的に非接続（非導通）状態にする。非接触ICタグT1へ送信すべき信号（アナログ信号）が送信回路11から出力される。送信回路11から出力された信号は高耐圧アンプ12によって増幅されノードS1-S3に出力される。ノードS1に供給されたアナログ信号は高耐圧アナログスイッチ回路13によってノードD1に出力される。一方、ノードS2、S3に供給されたアナログ信号はノードD2、D3に出力されない。ノードD1に出力されたアナログ信号はアンテナ回路16によって非接触ICタグT1に送信される。これに対し、アンテナ回路17、18と非接触ICタグT2、T3との間では通信は行われない。

【0030】

非接触ICタグT1との通信が終了すると、切り替え信号発生回路19は活性の切り替え信号SW2および不活性の切り替え信号SW1、SW3を出力する。活性の切り替え信号SW2を受けて高耐圧アナログスイッチ回路14は、ノードS2とノードD2とを電氣的に接続（導通）状態にする。一方、不活性の切り替え信号SW1、SW3を受けて高耐圧アナログスイッチ回路13、15は、ノードS1、S3とノードD1、D3とを電氣的に非接続（非導通）状態にする。そして上述したのと同様に、ノードS2に供給されたアナログ信号が高耐圧アナログスイッチ回路14によってノードD2に出力され、アンテナ回路17によって非接触ICタグT2に送信される。

## 【0031】

このように、高耐圧アナログスイッチ回路13-15を順次オン/オフしていくことにより複数の非接触ICタグT1-T3と通信を行う。

## 【0032】

## &lt;効果&gt;

図6に示すように、アンテナ回路16-18はコイルLおよびコンデンサCで構成される共振回路となっているためインピーダンスが高く出力の振幅は大きい。例えば16Vの電源電圧で20V<sub>p-p</sub>の出力を得る。図9に示した従来のリーダーライタでは小信号用スイッチ102-104によってアンテナ回路108-110への出力を切り替えているため、アンテナ回路108-110の各々の前段に高耐圧アンプ105-107を設ける必要がある。

## 【0033】

しかし、図1に示すリーダーライタ10では、高耐圧アナログスイッチ回路16-18を設けたため、アンテナ回路16-18の各々の前段に高耐圧アンプを設ける必要がない。送信回路11と高耐圧アナログスイッチ回路13-15との間に1つの高耐圧アンプ12を設ければよい。すなわち、従来のリーダーライタと比べて高耐圧アンプの数（部品点数）を少なくすることができる。この結果、コストを低くすることができる。

## 【0034】

なお、図2および図4に示したアナログスイッチ回路では高耐圧FETとして接合型FETを用いたが、これに代えてMOS FETを用いてもよい。

## 【0035】

## (第2の実施形態)

この発明の第2の実施形態による非接触ICタグシステムでは、図1、図2、図4に示した高耐圧アナログスイッチ回路13-15に代えて、図7に示す高耐圧アナログスイッチ回路を備えることを特徴とする。

## 【0036】

## &lt;高耐圧アナログスイッチ回路の構成&gt;

図7を参照して、この高耐圧アナログスイッチ回路は、高耐圧接合型FET7



1と、抵抗72、73と、ダイオード74と、NPNトランジスタ75とを備える。高耐圧接合型FET71はPチャネル型のFETであり、ノードSiとノードDiとの間に接続される。また、高耐圧接合型トランジスタ71のゲートはノードN71に接続される。抵抗72は、電源ノードN70とノードN71との間に接続され、抵抗73の抵抗値よりも大きい抵抗値を有する。電源ノードN70は、正の電源電圧(+V)を受ける。正の電源電圧(+V)は、ノードSiに入力されるアナログ信号の正の最大値よりも大きい。抵抗73は、ノードN71とノードN72との間に接続され、抵抗72よりも小さい抵抗値を有する。ダイオード74は、ノードN72とNPNトランジスタ75のコレクタとの間に、ノードN72からNPNトランジスタ75のコレクタに向けて順方向となるように接続される。NPNトランジスタ75は、ダイオード74と接地ノードGNDとの間に接続される。接地ノードGNDは接地電圧を受ける。NPNトランジスタ75のベースには切り替え信号SWi ( $i = 1 - 3$ ) が供給される。

【0037】

#### <高耐圧アナログスイッチ回路の動作>

次に、以上のように構成された高耐圧アナログスイッチ回路の動作について説明する。なお、図8は、図7に示した高耐圧接合型FET71の(ゲート・ソース間電圧VGS) - (ドレイン・ソース間電流IDS) 特性を示す図である。活性の切り替え信号SWiがNPNトランジスタ75のベースに供給されると、NPNトランジスタ75がオン(飽和状態)になり、高耐圧接合型FET71のゲート(ノードN71)がほぼ接地電圧レベルに引っぱられる。これは、抵抗72の抵抗値のほうが抵抗73の抵抗値よりも大きいためである。すなわち、(抵抗72の抵抗値) > (抵抗73の抵抗値) の関係があるためである。さらに、高耐圧接合型FET71の浮遊容量によってソースの電圧、すなわち、ノードSiに入力された信号の電圧がほぼそのままゲートに伝達される。ソースの電圧が正のときダイオード74はオンになる。しかし、抵抗73によって、ゲートの電圧(ノードN71の電圧)はソースの電圧とほぼ同じレベルに保持される。ソースの電圧が負のときはダイオード74がオフになる。したがって、ゲートの電圧(ノードN71の電圧)はこの負の電圧のレベルとほぼ同じレベルに保持される。

このように、ソースの電圧（ノードS<sub>i</sub>に入力された信号の電圧）の正負にかかわらず高耐圧接合型FET71のゲートの電圧はソースの電圧とほぼ同じレベルに保持される。この結果、ゲート・ソース間の電位差がほぼ0となり高耐圧接合型FET71はオンになる。すなわち、高耐圧接合型FET71のソース・ドレイン間が導通し、ノードS<sub>i</sub>に入力されたアナログ信号はノードD<sub>i</sub>から出力される。

## 【0038】

一方、不活性の切り替え信号SW<sub>i</sub>がNPNトランジスタ75のベースに供給されると、NPNトランジスタ75がオフ（遮断状態）になる。NPNトランジスタ75がオフになると抵抗72に電流が流れなくなり、高耐圧接合型FET71のゲート（ノードN71）が正の電源電圧（+V）にプルアップされる。これにより、高耐圧接合型FET71のゲートの電圧は、ソースの電圧に対して常に正の電源電圧（+V）だけ高くなる。正の電源電圧（+V）は、ノードS<sub>i</sub>に入力されるアナログ信号の正の最大値よりも大きい。したがって、高耐圧接合型FET71はオフになる。この結果、高耐圧接合型FET71のソース・ドレイン間が非導通となり、ノードS<sub>i</sub>に入力されたアナログ信号はノードD<sub>i</sub>から出力されない。

## 【0039】

## ＜効果＞

以上のように、第2の実施形態による高耐圧アナログスイッチ回路では、ソースの電圧（ノードS<sub>i</sub>に入力された信号の電圧）の正負にかかわらず高耐圧接合型FET71のゲートの電圧がソースの電圧とほぼ同じレベルに保持されるため、負の電源電圧（-V）を必要としない。これにより、電源電圧発生回路20は正の電源電圧（+V）だけを発生すればよく負の電源電圧（-V）を発生させる必要がなくなる。通常、正の電源電圧を生成する場合に比べて負の電源電圧を生成する場合のほうがたくさんの部品が必要になる。したがって、第1の実施形態において示したような負の電源電圧（-V）を必要とするアナログスイッチ回路を用いた場合と比べて、電源電圧発生回路20の部品点数を少なくすることができる。この結果、コストを低くすることができる。

【0040】

なお、図7に示したアナログスイッチ回路では高耐圧FETとして接合型FETを用いたが、これに代えてMOS FETを用いてもよい。

【0041】

【発明の効果】

この発明の1つの局面に従ったリーダライタでは、複数の高耐圧アナログスイッチ回路を設けたため、従来のリーダライタと異なり、共振回路の前段に高耐圧アンプを設ける必要がない。したがって、高耐圧アンプは複数の高耐圧アナログスイッチ回路の前段に1つ設けるだけでよい。これにより、共振回路ごとに高耐圧アンプを設けている従来のリーダライタに比べて高耐圧アンプの数（部品点数）を少なくすることができる。この結果、コストを低くすることができる。

【0042】

この発明のもう1つの局面に従ったアナログスイッチ回路では、ソースの電圧（入力信号の電圧）の正負にかかわらず高耐圧FETのゲートの電圧がソースの電圧（入力信号の電圧）とほぼ同じレベルに保持される。したがって、アナログスイッチ回路を動作させるための負電圧を発生させる必要がない。これにより、負電圧を必要とするアナログスイッチ回路の場合と比べて、アナログスイッチ回路を動作させるための電源電圧を発生する回路の部品点数を少なくすることができる。

【図面の簡単な説明】

【図1】

この発明の第1の実施形態による非接触ICタグシステムの構成を示すブロック図である。

【図2】

図1に示した高耐圧アナログスイッチ回路の具体的な構成の一例を示す回路図である。

【図3】

図2に示した高耐圧接合型FETの電流－電圧特性を示す図である。

【図4】

図 1 に示した高耐圧アナログスイッチ回路の具体的な構成の他の一例を示す回路図である。

【図 5】

図 4 に示した高耐圧接合型 F E T の電流－電圧特性を示す図である。

【図 6】

図 1 に示した高耐圧アンプ、高耐圧アナログスイッチ回路、およびアンテナ回路を示す図である。

【図 7】

この発明の第 2 の実施形態による高耐圧アナログスイッチ回路の構成を示す回路図である。

【図 8】

図 7 に示した高耐圧接合型 F E T の電圧－電流特性を示す図である。

【図 9】

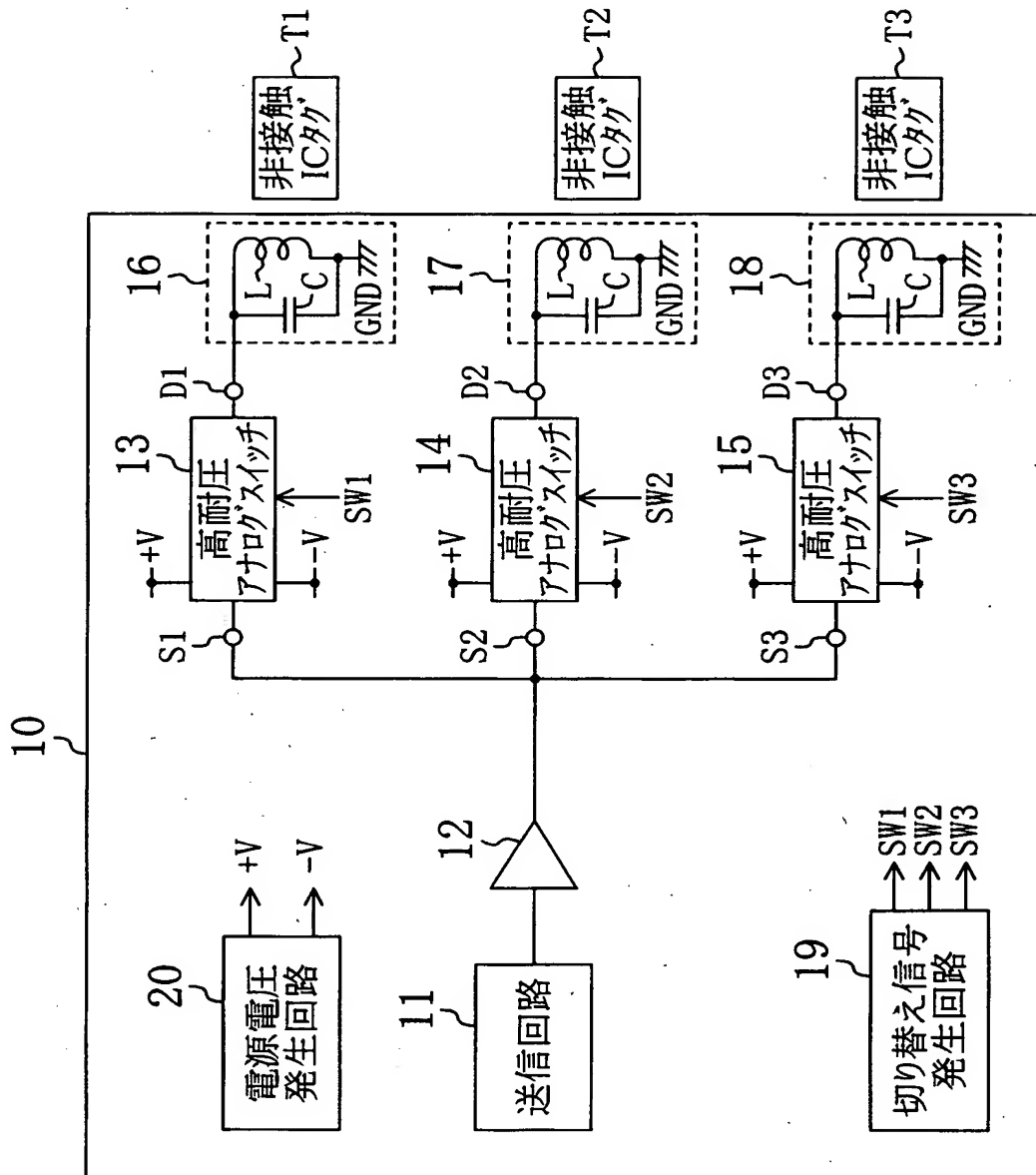
従来の非接触 I C タグシステムの構成を示すブロック図である。

【符号の説明】

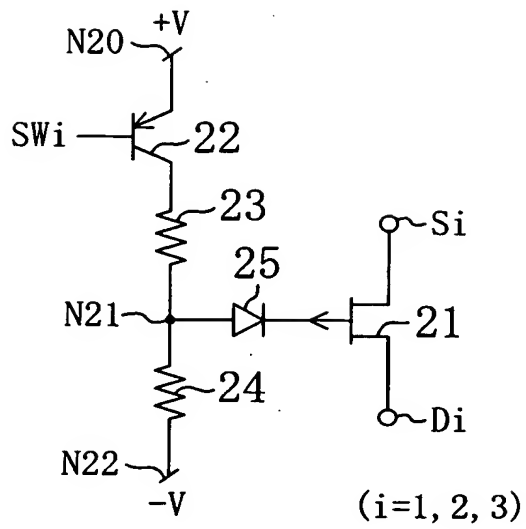
- 1 2 高耐圧アンプ
- 1 2 - 1 5 高耐圧アナログスイッチ回路
- 1 6 - 1 8 アンテナ回路
- 7 1 高耐圧接合型 F E T
- 7 2, 7 3 抵抗
- 7 4 ダイオード
- 7 5 N P N トランジスタ

【書類名】 図面

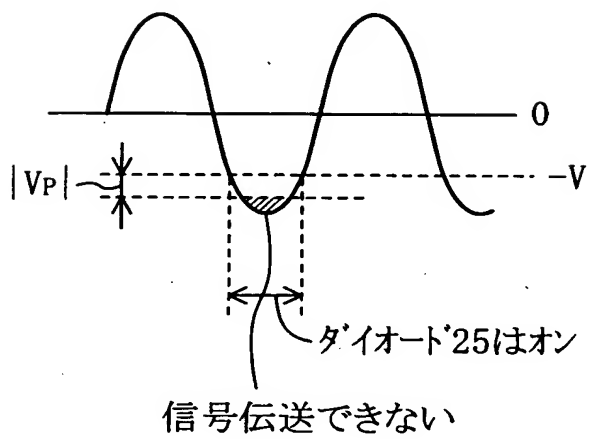
【図 1】



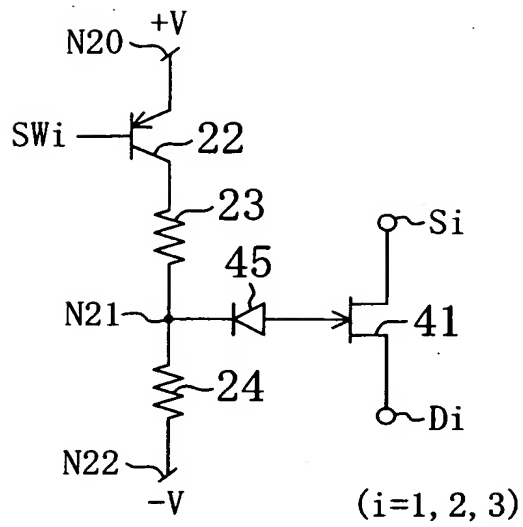
【図 2】



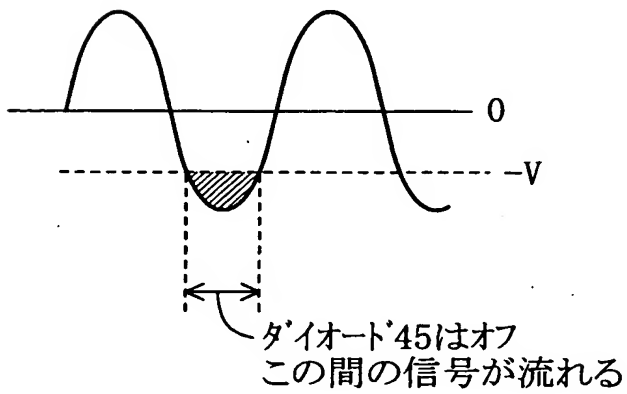
【図 3】



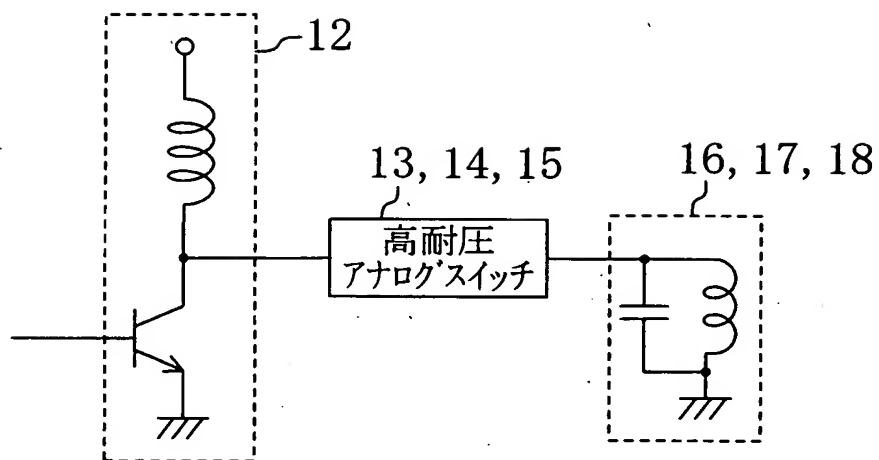
【図 4】



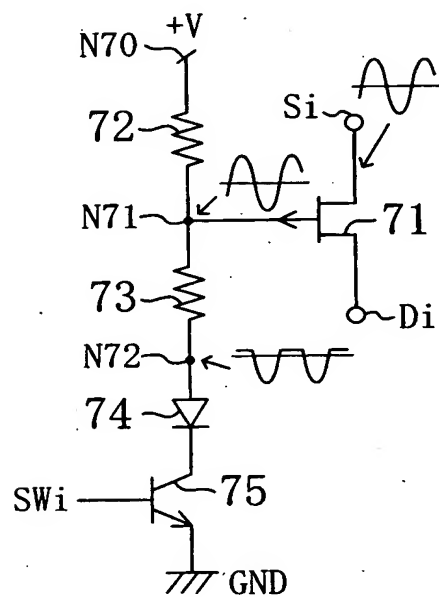
【図 5】



【図 6】

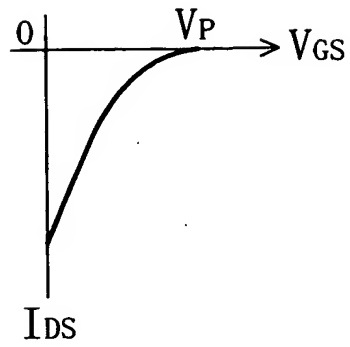


【図 7】

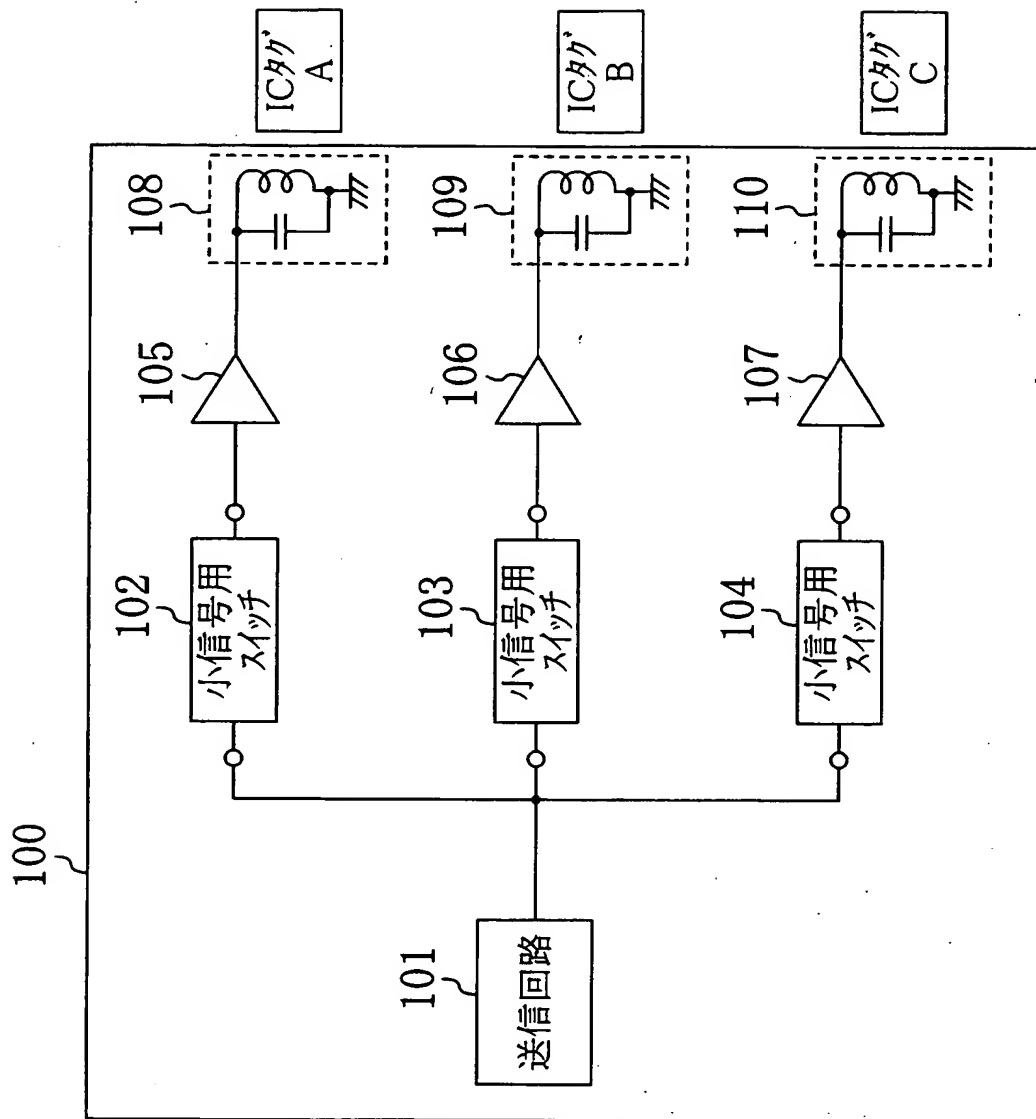




【図 8】



【図9】



【書類名】 要約書

【要約】

【課題】 必要な部品点数を少なくする。

【解決手段】 高耐圧接合型FET71と、抵抗72, 73と、ダイオード74と、NPNトランジスタ75とを備える。この高耐圧アナログスイッチ回路では、ソースの電圧（ノードSiに入力された信号の電圧）の正負にかかわらず高耐圧接合型FET71のゲートの電圧がソースの電圧とほぼ同じレベルに保持されるため、負の電源電圧（-V）を必要としない。これにより、電源電圧発生回路20は正の電源電圧（+V）だけを発生すればよく負の電源電圧（-V）を発生させる必要がなくなる。したがって、負の電源電圧（-V）を必要とするアナログスイッチ回路を用いた場合と比べて、電源電圧発生回路20の部品点数を少なくすることができる。この結果、コストを低くすることができる。

【選択図】 図7

【書類名】 出願人名義変更届（一般承継）  
【提出日】 平成13年 4月26日  
【あて先】 特許庁長官 殿  
【事件の表示】  
【出願番号】 特願2001- 12918  
【承継人】  
【識別番号】 000005821  
【氏名又は名称】 松下電器産業株式会社  
【代表者】 中村 ▲邦▼夫  
【提出物件の目録】  
【物件名】 権利の承継を証明する書面 1  
【援用の表示】 平成13年 4月16日付提出の特許番号第31505  
60号の一般承継による特許権の移転登録申請書に添付  
した登記簿謄本を援用する。

出 願 人 履 歴 情 報

識別番号 [000005843]

1. 変更年月日 1993年 9月 1日  
[変更理由] 住所変更  
住 所 大阪府高槻市幸町1番1号  
氏 名 松下電子工業株式会社

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社